

1X9 光模块接口规范

随着电信数据传输业务、视频监控与工业控制需求的增加，光模块的应用也越来越多，光通信系统工程师往往苦恼于如何正确处理不同接口电平 IC 与高速光模块之间的连接，本篇文章正是为解决这一问题而写。文章先介绍常用的几种逻辑电平，然后给出其与光模块的接口电路。

一、常用逻辑电平

TTL 电路的电平就叫 TTL 电平，CMOS 电路的电平就叫 CMOS 电平。

TTL 集成电路的全名是晶体管-晶体管逻辑集成电路 (Transistor-Transistor Logic)，标准 TTL 输入高电平最小 2V，输出高电平最小 2.4V，典型值 3.4V，输入低电平最大 0.8V，输出低电平最大 0.4V，典型值 0.2V。TTL 电路的电源 VDD 供电只允许在+5V±10%范围内。

COMS 集成电路是互补对称金属氧化物半导体 (Compiementary symmetry metal oxide semiconductor) 集成电路的英文缩写，COMS 电路的供电电压 VDD 范围比较广在+5--+15V 均能正常工作，电压波动允许±10%，当输出电压高于 VDD-0.5V 时为逻辑 1，输出电压低于 VSS+0.5V(VSS 为数字地)为逻辑 0。

TTL 与 CMOS 电平使用起来有什么区别：

1. 电平的上限和下限定义不一样，CMOS 具有更大的抗噪区域。
2. 2.电流驱动能力不一样，ttl 一般提供 25 毫安的驱动能力，而 CMOS 一般在 10 毫安左右。
3. 需要的电流输入大小也不一样，一般 ttl 需要 2.5 毫安左右，CMOS 几乎不需要电流输入。
4. 很多器件都是兼容 ttl 和 CMOS 的，datasheet 会有说明。如果不考虑速度和性能，一般器件可以互换。但是需要注意有时候负载效应可能引起电路工作不正常，因为有些 TTL 电路需要下一级的输入阻抗作为负载才能正常工作。

因此，CMOS 电路与 TTL 电路就有一个电平转换的问题，使两者电平域值能匹配。

TTL (或 CMOS) 电平之间的连接不需要做电路匹配，因此两个 TTL (或 CMOS) 电平之间可以直接互联，TTL (或 CMOS) 电平与 PECL 电平之间的转换是通过 T-P、P-T 转换芯片来实现的，这类型的芯片例如 Micrel 的 SY100ELT 系列等。

高速 IC 芯片与高速光模块间互连通常有四种接口：PECL (Positive Emitter-Coupled Logic)、LVPECL (Low-Voltage Positive Emitter-Coupled Logic)、LVDS (Low-Voltage Differential Signals)、CML (Current Mode Logic)。为解决不同接口标准芯片与高速光模块间的互连这一问题，我们首先需要了解每一种接口标准的输入输出电路结构，由此可以知道如何进行直流偏置和终端匹配。

1. PECL 接口

PECL 是有 ECL 标准发展而来，在 PECL 电路中省去了负电源，较 ECL 电路更方便使用。PECL 信号的摆幅相对 ECL 要小，这使得该逻辑更适合于高速数据的串性或并行连接。PECL 标准最初有 MOTOROLA 公司提出，经过很长一段时间才在电子工业界推广开。

1.1 PECL 接口输出结构

PECL 电路的输出结构如图 1 所示，包含一个差分对和一对射随器。输出射随器工作在正电源范围内，其电流始终存在，这样有利于提高开关速度。标准的输出负载是接 50Ω 至 VCC-2V 的电平上，如图 1 中所示，在这种负载条件下，OUT+与 OUT-的静态电平典型值为 VCC-1.3V，OUT+与 OUT-输出电流为 14mA。PECL 结构的输出阻抗很低，典型值为 4~5 Ω，这表明它有很强的驱动能力，但当负载与 PECL 的输出端之间有一段传输线时，低的阻抗造成的失配将导致信号时域波形的振铃现象。

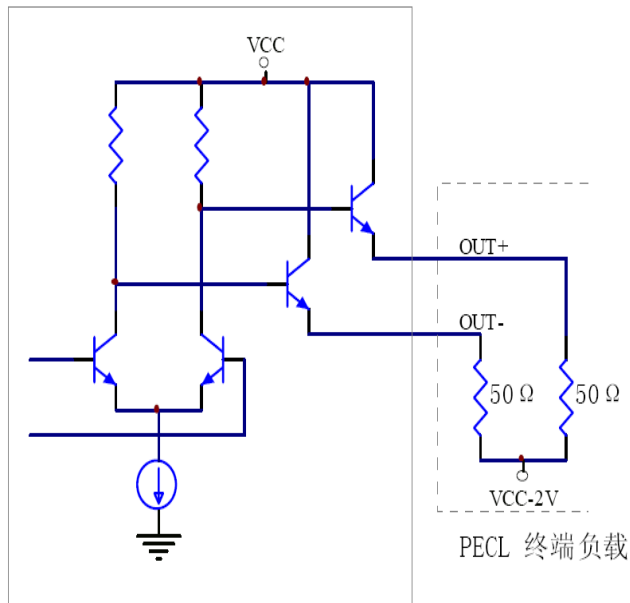


图-1 PECL 接口输出结构

1.2 PECL 接口输入结构

PECL 输入结构如图 2 所示，它是一个具有高输入阻抗的差分对。该差分对共模输入电压需偏置到 $V_{CC}-1.3V$ ，这样允许的输入信号电平动态最大。PECL 接口有两种形式的输入结构，一种是在芯片上已加有偏置电路，另一种则需要外加直流偏置。

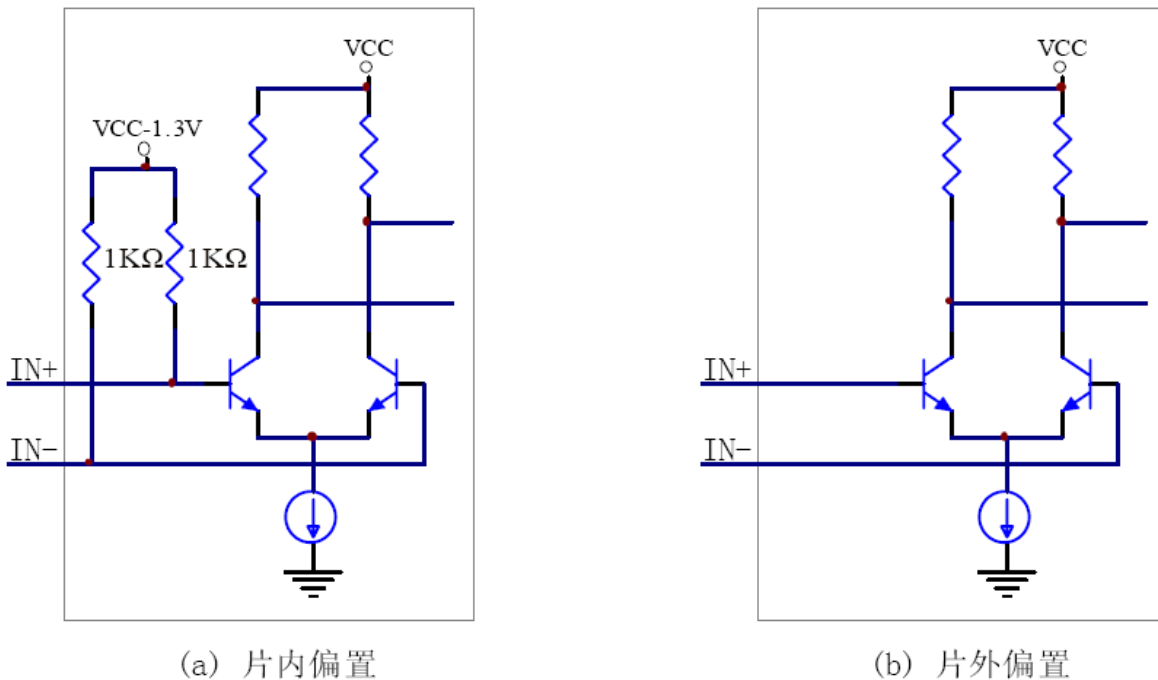


图-2 PECL 接口输入结构

表格 1. PECL 输入输出指标

参数	条件	最小值	典型值	最大值	单位
输出高电平	Ta=0°C~85°C	Vcc-1.025		Vcc-0.88	V
	Ta=-40°C	Vcc-1.085		Vcc-0.88	V
输出低电平	Ta=0°C~85°C	Vcc-1.81		Vcc-1.62	V
	Ta=-40°C	Vcc-1.83		Vcc-1.55	V
输入高电平		Vcc-1.16		Vcc-0.88	V
输入低电平		Vcc-1.81		Vcc-1.48	V

在+5.0V和+3.3V供电系统中, PECL接口均适用, +3.3V供电系统中的PECL常被称作低压PECL, 简称为LVPECL。在使用PECL电路时要注意加电源去耦电路, 以免受噪声的干扰, 同时输出采用交流还是直流耦合对负载网络的形式将会提出不同的需求。

2. CML 接口

CML是所有高速数据接口形式中最简单的一种, 它的输入与输出是匹配好的, 从而减少了外围器件, 也更适合于在高的频段工作。它所提供的信号摆幅较小, 从而功耗更低。

2.1 CML 接口输出结构

CML接口的输出电路形式是一个差分对, 该差分对的集电极电阻为 50Ω , 如图3中所示, 输出信号的高低电平切换是靠共发射极差分对的开关控制的, 差分对的发射极到地的恒流源典型值为 16mA , 假定CML输出负载为一 50Ω 上拉电阻, 则单端CML输出信号的摆幅为 $V_{cc} \sim V_{cc}-0.4\text{V}$ 。在这种情况下, 差分输出信号摆幅为 $800\text{mV}_{\text{p-p}}$, 共模电压为 $V_{cc}-0.2\text{V}$ 。若CML输出采用交流耦合至 50Ω 负载, 这时的直流阻抗有集电极电阻决定, 为 50Ω , CML输出共模电压变为 $V_{cc}-0.4\text{V}$, 差分信号摆幅仍为 $800\text{mV}_{\text{p-p}}$ 。在交流和直流耦合情况下输出波形见图4。

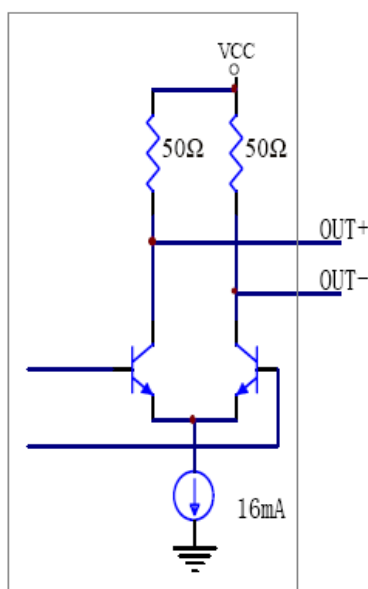


图 3. CML 输出结构

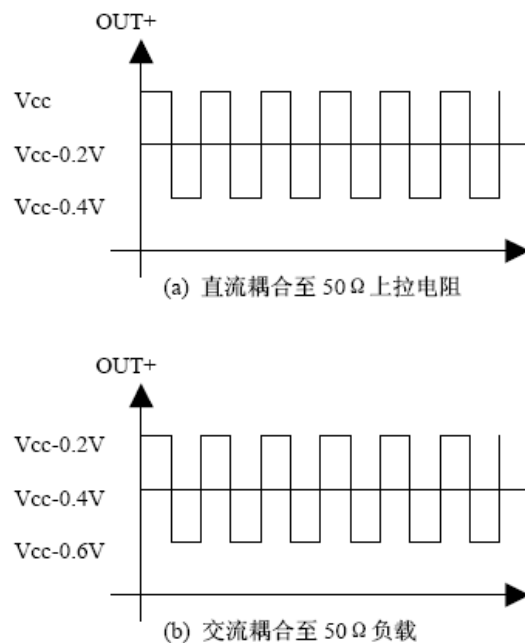


图 4. CML 在不同负载时的输出波形

2.2 CML 接口输入结构

CML 输入结构有几个重要特点，这也使它在高速数据传输中成为常用的方式，如图 5 所示，MAXIM 公司的 CML 输入阻抗为 $50\ \Omega$ ，容易使用。输入晶体管作为射随器，后面驱动一差分放大器。

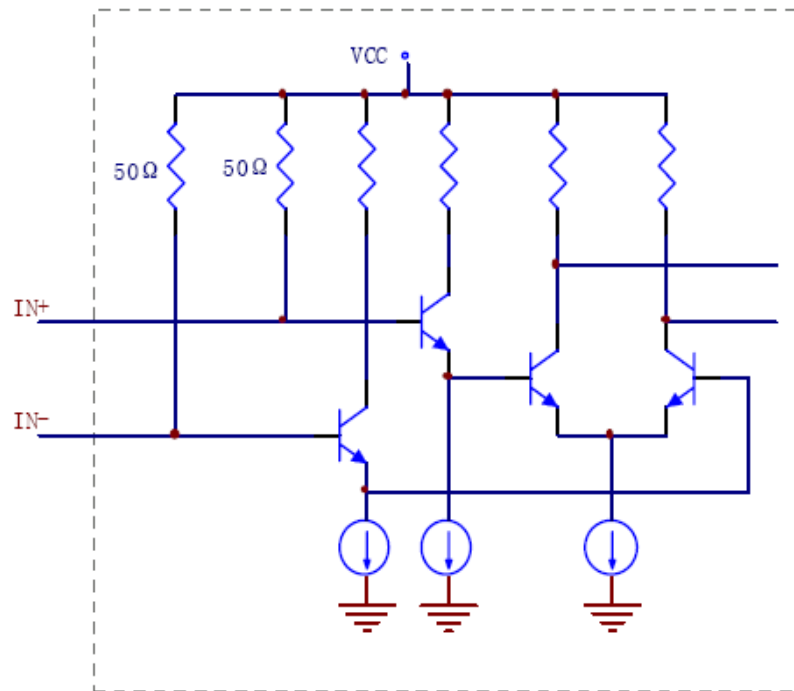


图5. CML输入电路结构

表格 2. CML 输入和输出参数

参数	条件	最小	典型	最大	单位
差分输入电压		640	800	1000	mV
输出共模电压			$V_{CC}-0.2$		V
单端输入电压范围	VIS	$V_{CC}-0.6$		$V_{CC}+0.2$	V
差分输入电压摆幅		400		1000	MVp-p

3. LVDS 接口

LVDS 用于低压差分信号点到点的传输，该方式有三大优点，从而使得它更具有吸引力。

- A) LVDS 传输的信号摆幅小，从而功耗低，一般差分线上电流不超过 4mA ，负载阻抗为 $100\ \Omega$ 。这一特征使它适合做并行数据传输。
- B) LVDS 信号摆幅小，从而使得该结构可以在 2.4V 的低电压下工作。
- C) LVDS 输入单端信号电压可以从 0V 到 2.4V 变化，单端信号摆幅为 400mV ，这样允许输入共模电压从 0.2V 到 2.2V 范围内变化，也就是说 LVDS 允许收发两端地电势有 $\pm 1\text{V}$ 的落差。

3.1 LVDS 接口输出结构

MAXIM 公司 LVDS 输出结构在低功耗和速度方面做了优化，电路如图 6 所示。电路差分输出阻抗为 $100\ \Omega$ ，表 3 列出了其他一些指标。

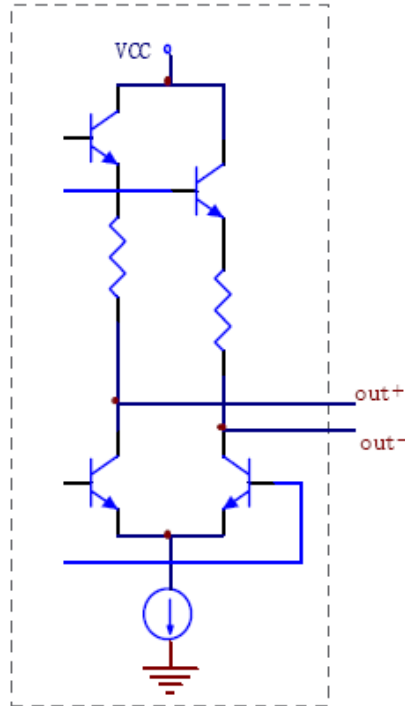


图6 LVDS输出结构

3.2 LVDS 接口输入结构

LVDS 输入结构如图 7 所示，输入差分阻抗为 $100\ \Omega$ ，为适应共模电压宽范围内的变化，输入级还包括一个自动电平调整电路，该电路将共模电压调整为一固定值，该电路后面是一个 SCHMITT 触发器。SCHMITT 触发器为防止不稳定，设计有一定的回滞特性，SCHMITT 后级是差分放大器。

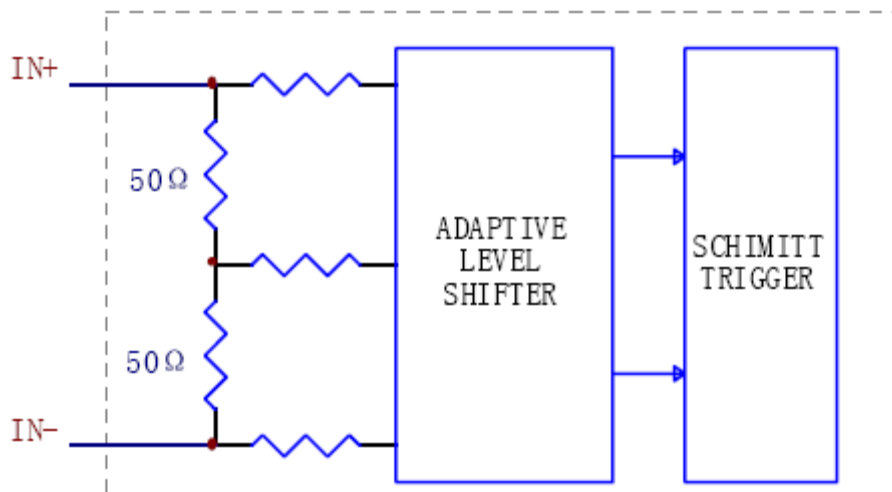


图7 LVDS输入结构

表格 3. LVDS 输入与输出参数

参数	符号	条件	最小	典型	最大	单位
LVDS 输出高电压	V _{OH}				1.475	V
LVDS 输出低电压	V _{OL}		0.925			V
LVDS 输出差分电压	V _{Od}		250		400	mV
LVDS 在不同状态时输出差分电压波动	Δ V _{Od}				25	mV
LVDS 输出电压偏移量			1.125		1.275	V
LVDS 在不同状态时输出电压偏移量波动	Δ V _{Os}				25	mV
LVDS 输出差分阻抗			80		120	Ω
LVDS 输出电流		两差分端相接			12	mA
		差分单端到地短路			40	mA
LVDS 输入单端电压范围	V _i		0		2.4	V
LVDS 输入差分信号灵敏度	V _{id}		100			mV
LVDS 输入共模电流		V _{OS} = 1.2V 时		350		μ A
LVDS 回滞门限宽度				70		mV
LVDS 输入差分阻抗	R _{in}		85	100	115	Ω

二、高速 IC 芯片与高速光模块的互连

高速 IC 芯片与高速光模块的互连总体上来说可以分为两类：交流耦合匹配、直流耦合匹配。目前，光模块产家推荐的多为 PECL/LVPECL 直流耦合匹配，如图 8 所示，这种匹配电路在协议转换芯片的输入、输出接口电平为 PECL/LVPECL 电平时，只要选取正确的电阻值就可以正常工作了，如果接口电平不是 PECL/LVPECL 电平，是别的逻辑电平，如 LVDS/CML 电平，则不一定能正常工作，因为这里涉及到逻辑电平转换，需要加入一些逻辑电平转换网络，下面将对此做较为详细的介绍。

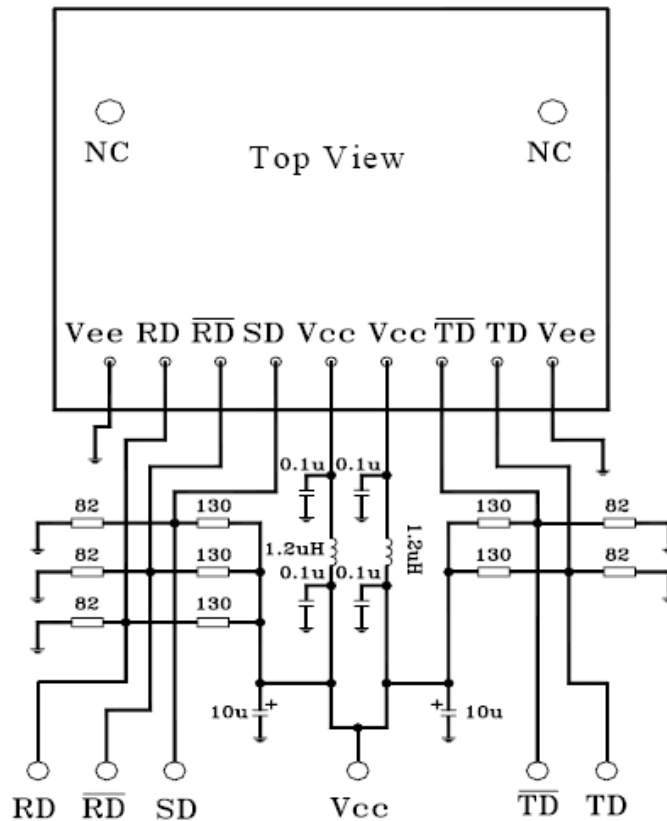


图 8 +3.3V LVPECL 直流匹配

2.1 PECL 到 PECL 的连接

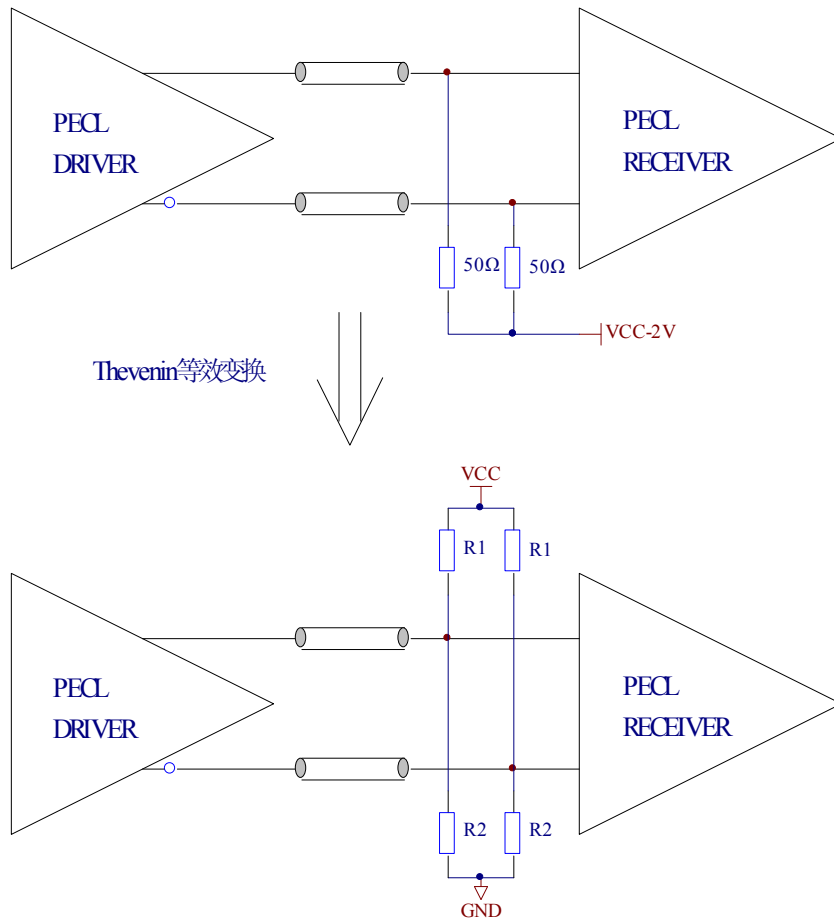
2.1.1 直流耦合：50Ω 至 (VCC-2V) 的 Thevenin 等效电路

PECL 到 PECL 的连接分直流耦合和交流耦合两种形式，下面分别介绍：直流耦合情况下 PECL 输出设计成驱动 50Ω 负载至 (VCC-2V)。由于一般情况下无法向终端网络提供 (VCC-2V) 电源，经常会用并联电阻，得到一个 Thevenin 等效电路。图 9 给出了 Thevenin 变换，50Ω 至 (VCC-2V) 的终端匹配要求满足：

$$(V_{CC} - 2V) = V_{CC} \left(\frac{R_2}{R_1 + R_2} \right) \quad \text{and} \quad R_1 // R_2 = 50 \Omega \quad \text{解出 } R_1、R_2，\text{ 可得：}$$

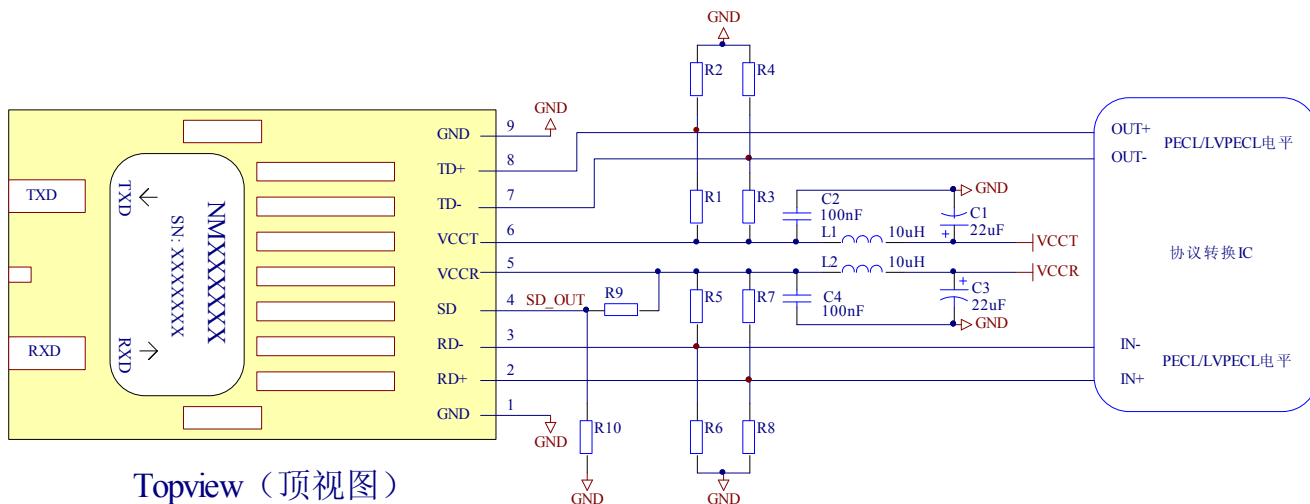
$$R_1 = \frac{50 \cdot V_{CC}}{V_{CC} - 2V} \quad \text{and} \quad R_2 = 25 \cdot V_{CC}$$

在 3.3V 供电时，电阻按 5% 的精度选取，R1 为 130Ω，R2 为 82Ω。而在 +5.0V 供电时，R1 为 82Ω，R2 为 130Ω。图 10 给出了 +3.3V 和 +5.0V 供电时的 Thevenin 等效终端网络。



注：PECL 输出配置为射极开路，没有背向终端匹配

图 9. Thevenin 等效变换



Topview (顶视图)

参数	R1=R3=R5=R7	R2=R4=R6=R8	备注
VCC=+3.3V	130 Ω	82 Ω	告警电平的匹配方式请咨询产家技术部门
VCC=+5V	82 Ω	130 Ω	

注：PECL 告警接R10=2K，或R9 and R10 按PECL电平匹配，TTL电平告警R9=R10=NC。不同种类的模块告警有差别，视具体情况而定！

图 10 +3.3V 和+5.0V 供电时光模块与协议转换 IC 直流匹配网络

2.1.2 交流耦合

PECL 在交流耦合输出到 50Ω 的终端负载时，要考虑 PECL 的输出端加一直流偏置电阻，如图 11 所示。

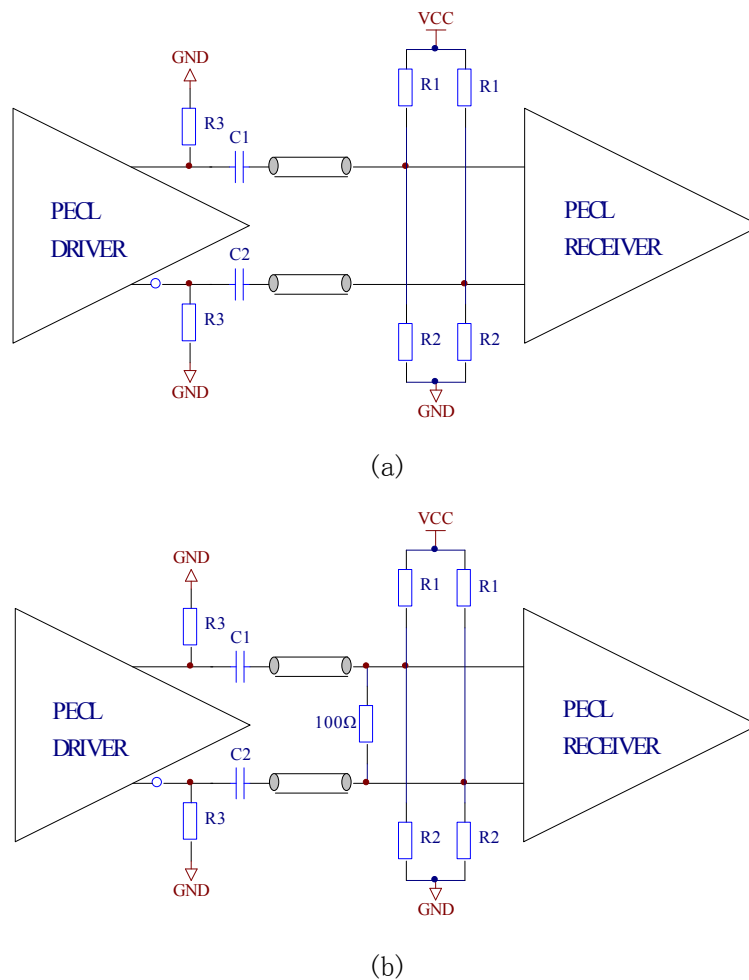


图 11. PECL 与 PECL 之间的交流耦合

R1 和 R2 的选择应考虑如下几点：(1) PECL 输入直流偏压应固定在 VCC-1.3V；(2) 输入阻抗应等于传输线阻抗；(3) 低功耗；(4) 外围器件少。最常用的就是图 11 中的两种。在图 11(a)中，R1 和 R2 的选择应满足下面方程组：

$$\frac{R2 \cdot V_{CC}}{R1 + R2} = V_{CC} - 1.3V \quad \text{and} \quad R1 // R2 = 50 \Omega \quad \text{解得：}$$

R1=82Ω, R2=130Ω For =+3.3V Supply
and
R1=68Ω, R2=180Ω For =+5V Supply

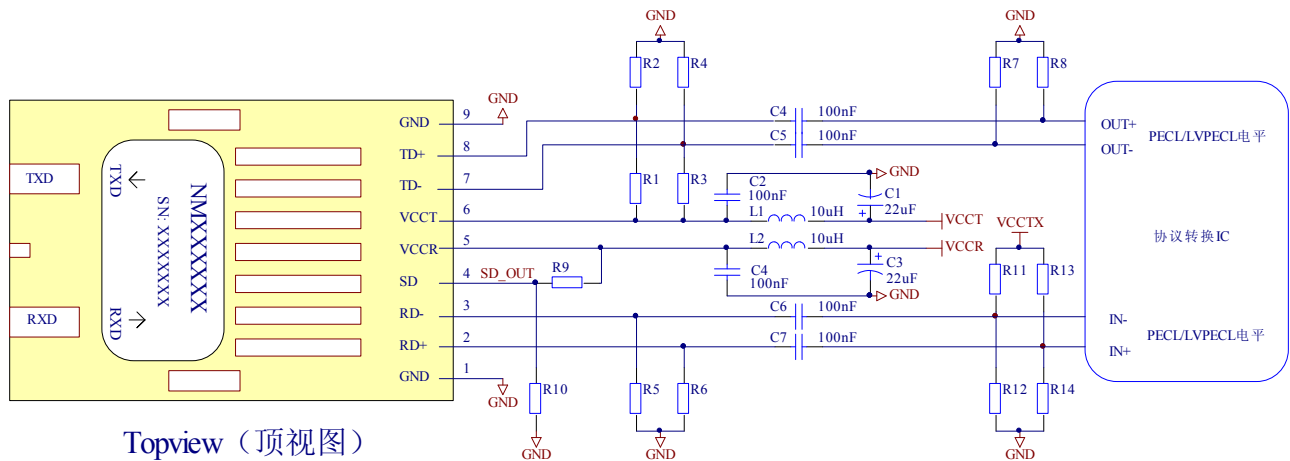
图 11(a) 的缺陷是：由终端网络引起的功耗较大。如果系统对于功耗要求较高，可以采用图 11(b) 所示电路。这时，我们需要满足：

$$\frac{R2 \cdot V_{CC}}{R1 + R2} = V_{CC} - 1.3V \quad \text{and} \quad R1 // R2 // 50 \Omega = 50 \Omega \quad \text{解得：}$$

R1=2.7KΩ, R2=4.7KΩ For =+3.3V Supply
and
R1=2.7KΩ, R2=7.8KΩ For =+5V Supply

PECL 的输出共模电压需固定在 $VCC-1.3V$ ，在选择直流偏置电阻(R1)时仅需该电阻能够提供 14mA 到地的通路，这样 $R1=(VCC-1.3V)/14mA$ 。在+3.3V 供电时， $R1=142\ \Omega$ ，+5.0V 供电时， $R1=270\ \Omega$ 。然而这种方式给出的交流负载阻抗低于 $50\ \Omega$ ，在实际应用中，+3.3V 供电时，R1 可以从 $142\ \Omega$ 到 $200\ \Omega$ 之间选取，+5.0V 供电时，R1 可以从 $270\ \Omega$ 到 $350\ \Omega$ 之间选取，原则是让输出波形达到最佳。

可以通过两种方式进一步改善 PECL 的终端匹配：(1)增加一个与耦合电容串联的电阻，使得 PECL 驱动器端的等效交流阻抗接近 $50\ \Omega$ ；(2)添加一个与 R1 串联的电感，使交流阻抗受控于接收器阻抗，与 R1 无关。

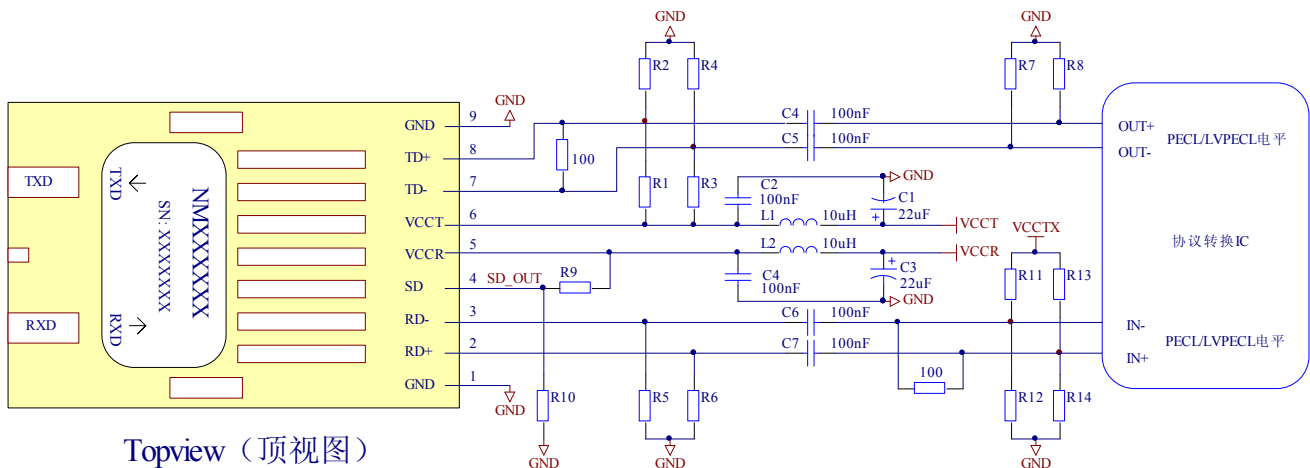


Topview (顶视图)

参数	R1=R3	R2=R4	R5=R6	R7=R8	R11=R13	R12=R14	备注
VCC=+3.3V	82 Ω	130 Ω	140 $\Omega \sim 200\ \Omega$	140 $\Omega \sim 200\ \Omega$	82 Ω	130 Ω	图 (a) 终端网络的功耗较大
VCC=+5V	68 Ω	180 Ω	270 $\Omega \sim 350\ \Omega$	270 $\Omega \sim 350\ \Omega$	68 Ω	180 Ω	

注意：上表是假设光模块与协议转换 IC 供电电压相同，如果协议转换 IC 的供电与光模块的供电不同，协议转换 IC 部分可根据供电电压按上表中参数匹配。

(a) 由终端网络引起的功耗较大



Topview (顶视图)

参数	R1=R3	R2=R4	R5=R6	R7=R8	R11=R13	R12=R14	备注
VCC=+3.3V	2.7K Ω	4.7K Ω	140 $\Omega \sim 200\ \Omega$	140 $\Omega \sim 200\ \Omega$	2.7K Ω	4.7K Ω	图 (b) 为低功耗电路
VCC=+5V	2.7K Ω	7.8K Ω	270 $\Omega \sim 350\ \Omega$	270 $\Omega \sim 350\ \Omega$	2.7K Ω	7.5K Ω	

注意：上表是假设光模块与协议转换 IC 供电电压相同，如果协议转换 IC 的供电与光模块的供电不同，协议转换 IC 部分可根据供电电压按上表中参数匹配。

(b) 如果系统对于功耗要求较高，可以采用该电路。

图 12 +3.3V 和+5.0V 供电时光模块与协议转换 IC 交流匹配网络

2.2 LVPECL 与 LVDS 的互连

2.2.1 LVPECL 与 LVDS 的直流耦合

LVPECL 到 LVDS 的直流耦合结构需要一个电阻网络，如图 17 中所示，设计该网络时有这样几点必须考虑：首先，我们知道当负载是 $50\ \Omega$ 接到 $V_{CC}-2V$ 时，LVPECL 的输出性能是最优的，因此我们考虑该电阻网络应该与最优负载等效；然后我们还要考虑该电阻网络引入的衰减不应太大，LVPECL 输出信号经衰减后仍能落在 LVDS 的有效输入范围内。注意 LVDS 的输入差分阻抗为 $100\ \Omega$ ，或者每个单端到虚拟地为 $50\ \Omega$ (图 13 所示)，该阻抗不提供直流通路，这里意味着 LVDS 输入交流阻抗与直流阻抗不等。LVPECL 到 LVDS 的直流耦合所需的电阻网络需满足下面方程组：

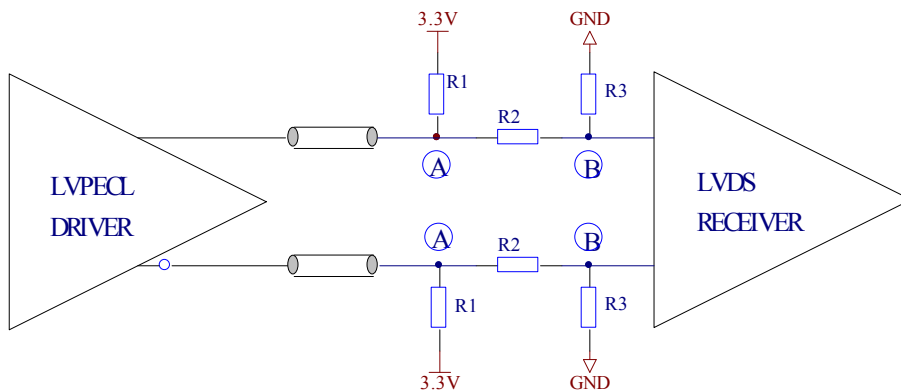


图 13 LVPECL 到 LVDS 的直流耦合

$$V_A = V_{CC} - 2V = V_{CC} \cdot \frac{R2 + R3}{R1 + R2 + R3} \quad (1)$$

$$R_{AC} = R1 // [R2 + (R3 // 50\ \Omega)] = 50\ \Omega \quad (2)$$

$$R_{AC} = R1 // (R2 + R3) \approx 50\ \Omega \quad (3)$$

$$Gain = \frac{R3 // 50\ \Omega}{R2 + (R3 // 50\ \Omega)} \geq 0.17 \quad (4)$$

考虑 $V_{CC} = +3.3V$ 情况，解上面的方程组得到： $R1 = 182\ \Omega$ ， $R2 = 47.5\ \Omega$ ， $R3 = 47.5\ \Omega$ ， $V_A = 1.13V$ ， $R_{AC} = 51.5\ \Omega$ ， $R_{DC} = 62.4\ \Omega$ ，增益 = 0.337。通过该终端网络连接 LVPECL 输出与 LVDS 输入时，实测得 $V_A = 2.1V$ ， $V_B = 1.06V$ 。假定 LVPECL 差分最小输出电压为 $930mV$ ，在 LVDS 的输入端可达到 $313mV$ ，能够满足 LVDS 输入灵敏度要求。考虑信号较大时，如果 LVPECL 的最大输出为 $1.9V$ ，LVDS 的最大输入电压则为 $640mV$ ，同样可以满足 LVDS 输入指标要求。

LVDS 与 LVPECL 之间采用直流耦合结构时，需要加一个电阻网络，如图 14 所示。该电阻网络完成 LVDS 输出电平 ($1.2V$) 到 LVPECL 输入电平 ($V_{CC}-1.3V$) 的转换。由于 LVDS 的输出是以地为参考，而 LVPECL 的输入是以 V_{CC} 为参考，这需要在构建电平转换网络时注意 LVDS 的输出不会对供电电源的变化敏感；另一个问题是需要功耗和速度方面折中考考虑，如果电阻值 ($R1$ 、 $R2$ 、 $R3$) 取得较小，由电阻网络和 LVPECL 输入寄生电容构成的时间常数较小，允许电路在更高的速度下工作。但是，由于这些电阻上流过较大的电流，使得总功耗增大。这时，LVDS 的输出性能容易受电源波动的影响。还有一个问题就是要考虑阻抗匹配和网络衰减问题，电阻值可以通过下面的方程导出。

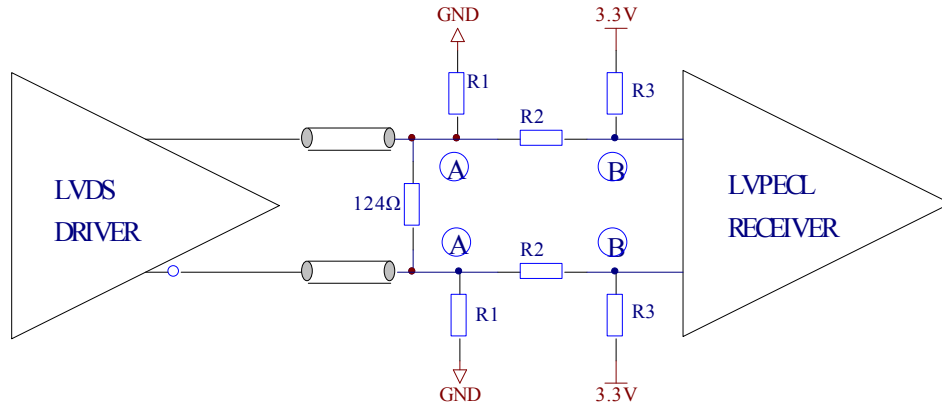


图 14 LVDS 到 LVPECL 的直流耦合

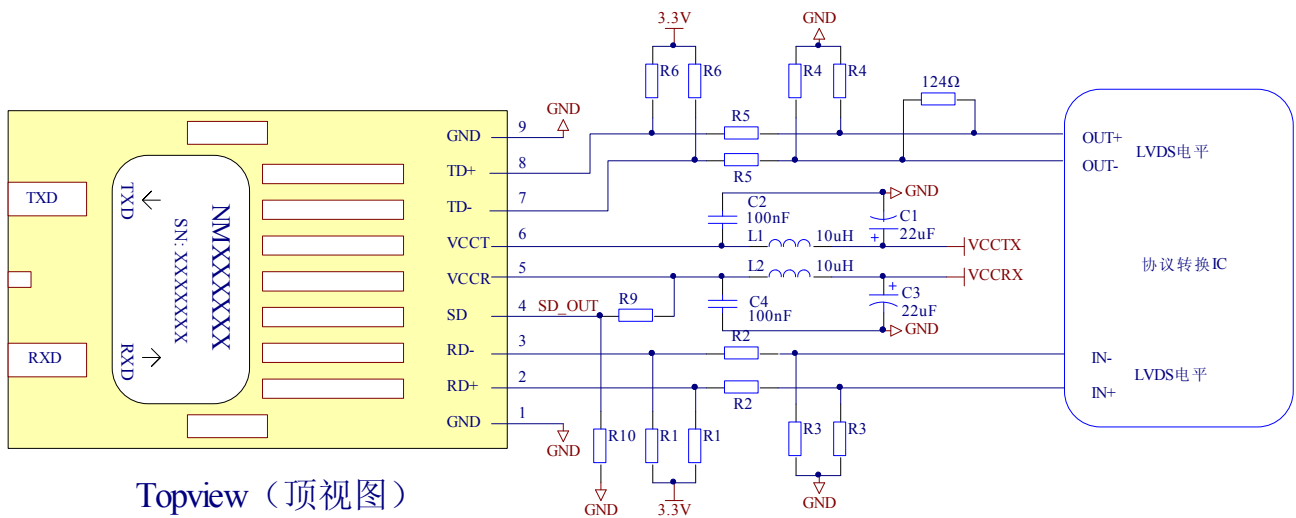
$$V_A = V_{CC} \cdot \left(\frac{R1}{R1 + R2 + R3} \right) = 1.2V \quad (1)$$

$$V_B = V_{CC} \cdot \left(\frac{R1 + R2}{R1 + R2 + R3} \right) = V_{CC} - 1.3V \quad (2)$$

$$R_{2V} = \left(\frac{R3 \cdot (R1 + R2)}{R3 + (R1 + R2)} \right) // 62\Omega = 50\Omega \quad (3)$$

$$Gain = \frac{R3}{R2 + R3} \quad (4)$$

在 VCC 电压为 +3.3V 时，解上面的方程得：R1 = 374 Ω，R2 = 249 Ω，R3 = 402 Ω，VA = 1.2V，VB = 2.0V，RIN = 49 Ω，增益 = 0.62。LVDS 的最小差分输出信号摆幅为 500mV_{P-P}，在上面结构中加入 LVPECL 输入端的信号摆幅变为 310mV_{P-P}，该幅度低于 LVPECL 的输入标准，在实际应用中，读者可根据器件的实际性能作出自己的判断。



Topview (顶视图)

参数	R1	R2	R3	R4	R5	R6	备注
VCC=+3.3V	182 Ω	47.5 Ω	47.5 Ω	374 Ω	249 Ω	402 Ω	告警见后

图 15 光模块与协议转换 IC 间 LVPECL/LVDS 电平的直流耦合

2.2.2 LVPECL 与 LVDS 的交流耦合

LVPECL 到 LVDS 的交流耦合结构如图 16 所示，LVPECL 的输出端到地需加直流偏置电阻 ($142\ \Omega \sim 200\ \Omega$)，同时信号通道上一定要串接 $50\ \Omega$ 电阻，以提供一定衰减。LVDS 的输入端到地需加 $5.0\text{k}\ \Omega$ 电阻，以提供共模偏置。

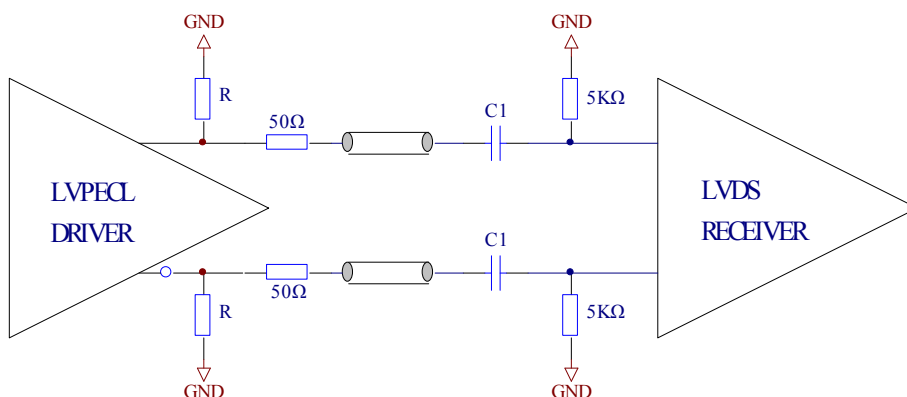
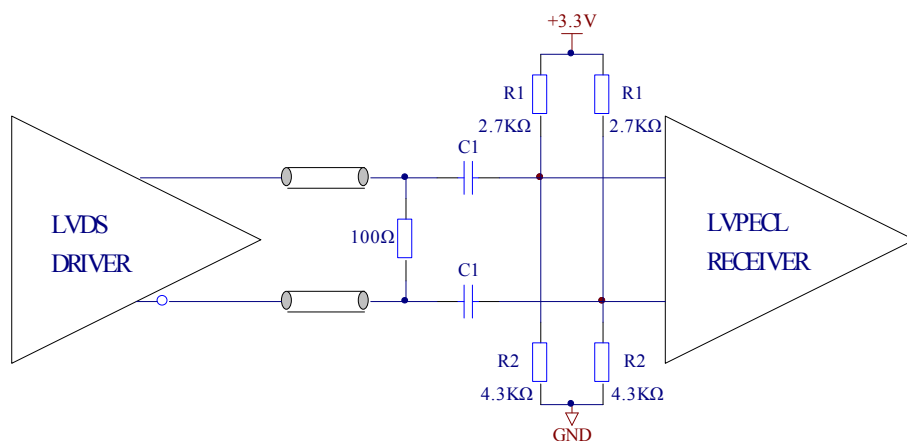
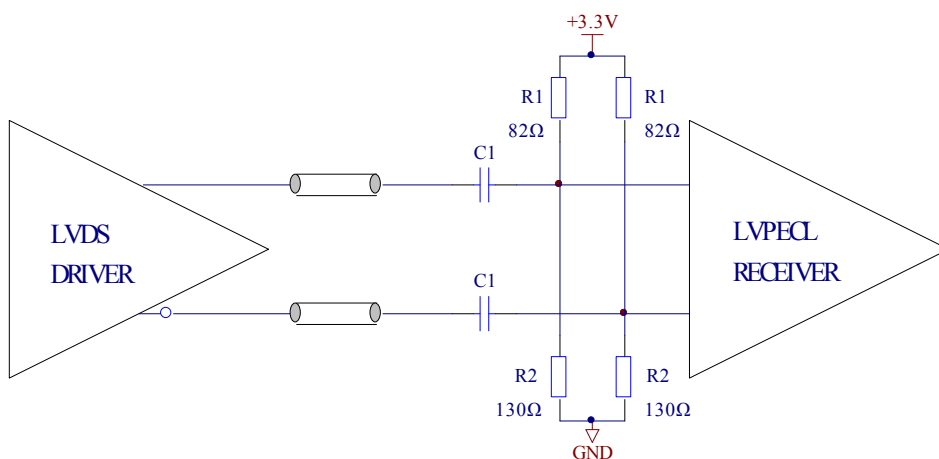


图 16. LVPECL 与 LVDS 之间的交流耦合

LVDS 到 LVPECL 的交流耦合结构较为简单, 如图 17 所示, 如果芯片内部加了偏置, 则可去掉 R1 和 R2。



(a) 低功耗



(b)

图 17. LVDS 与 LVPECL 之间的交流耦合

2.3 PECL 与 LVDS 的互连

PECL 到 LVDS 的交流耦合结构如图 18 所示，PECL 的输出端到地需加直流偏置电阻 ($270\ \Omega \sim 350\ \Omega$)，同时信号通道上一定要串接 $50\ \Omega$ 电阻，以提供一定衰减。LVDS 的输入端到地需加 $5.0\text{k}\ \Omega$ 电阻，以提供共模偏置。

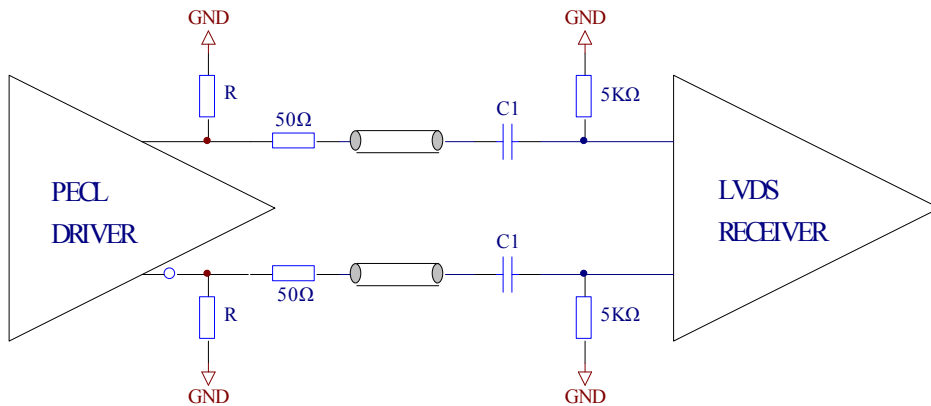
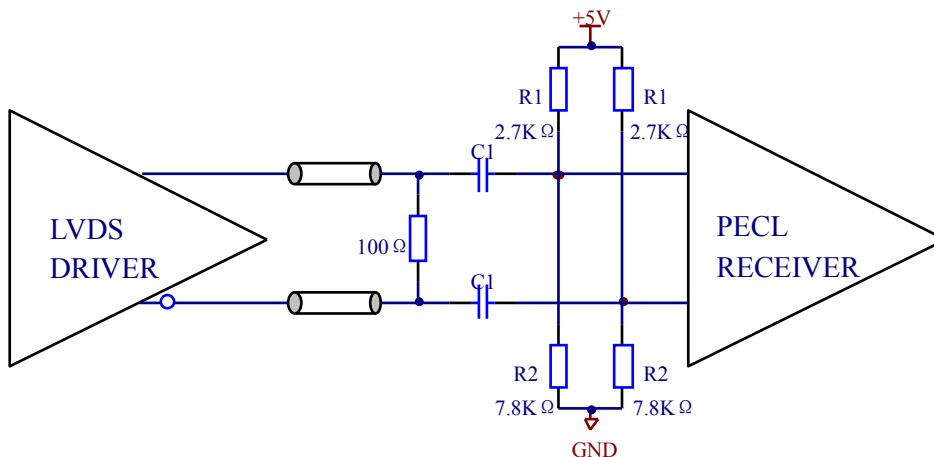
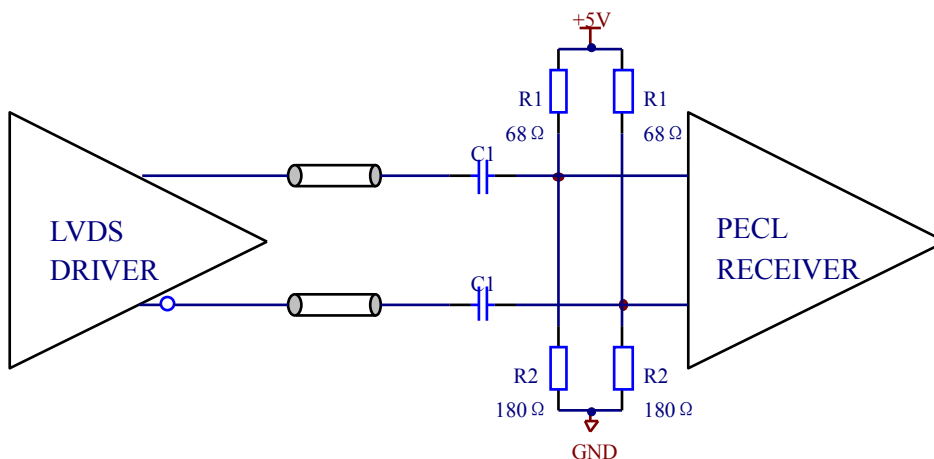


图 18. PECL 与 LVDS 之间的交流耦合

LVDS 到 PECL 的交流耦合结构较为简单,如图 19 所示,如果芯片内部加了偏置,则可去掉 R1 和 R2。

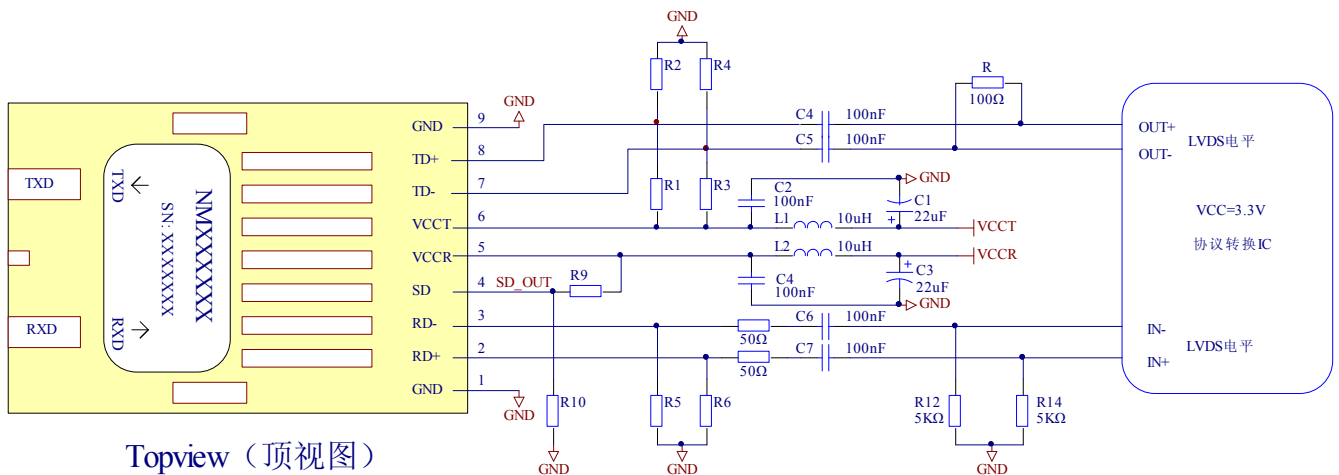


(a) 低功耗



(b) 普通接法

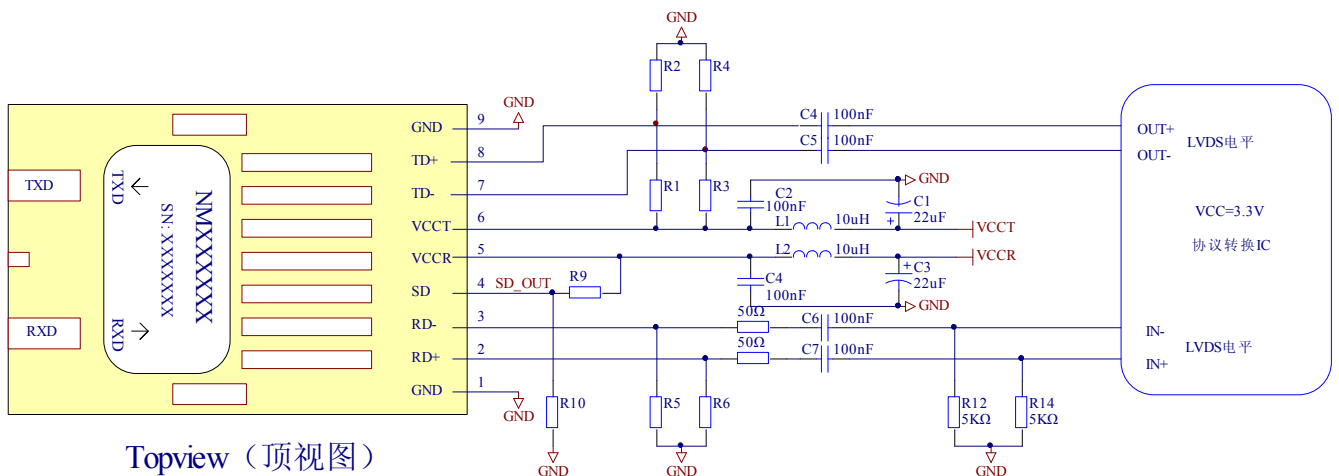
图 19. LVDS 与 PECL 之间的交流耦合



Topview (顶视图)

参数	R1=R3	R2=R4	R5=R6	备注
VCC=+3.3V	2.7K Ω	4.7K Ω	140 Ω ~ 200 Ω	接上电阻 R=100 Ω 为低功耗电路
VCC=+5V	2.7K Ω	7.8K Ω	270 Ω ~ 350 Ω	

(a) 低功耗匹配电路



Topview (顶视图)

参数	R1=R3	R2=R4	R5=R6	备注
VCC=+3.3V	82 Ω	130 Ω	140 Ω ~ 200 Ω	
VCC=+5V	68 Ω	180 Ω	270 Ω ~ 350 Ω	

(b) 普通匹配电路

图 20. 光模块与协议转换 IC 间 PECL/LVPECL/LVDS 电平的交流耦合

目前在视频监控中广泛使用的串/并转换芯片：SN65LV1023A/SN65LV1224B的匹配电路，就可以按图18来进行匹配，因为有的模块数据输出的电平幅度有可能大一些，在发现数据不通（发射正常的情况下）可以适当调整R5=R6的大小，所串接的50Ω电阻可以适当的改大一些，增大信号衰减量，使信号幅度满足LVDS电平的要求，但此电阻不能太大，还要兼顾传输线的阻抗匹配因素，阻抗不连续将会产生信号的畸变，影响信号的质量，甚至有可能出现电路不能正常工作，调整时请注意。

三、综合布线

3.1 告警电阻的端方式

目前光模块所能提供的无光的告警种类有两大类，即 LOS 和 SD。其中 LOS 电平是 Los of Singnal 的缩写，意为信号丢失时为高电平；SD 电平是 Singnal Detect 的缩写，意为检测到信号时为高电平，即无光时为低电平。

LOS 和 SD 告警电平都各有有三种：PECL 电平、LVPECL 电平、TTL 电平。告警信号为 PECL (或 LVPECL) 电平的光模块，模块 4 脚输出电阻端接有两种：(1)光模块 4 脚接一个下拉 2KΩ 的电阻即可，(2)需要进行 Thevenin 匹配的，即上拉 82Ω 至 VCCR，下拉 130Ω 至 GND (LVPECL 电平的是上拉 130Ω 至 VCCR，下拉 82Ω 至 GND)；告警信号为 TTL (或 LVTTTL) 电平的光模块，SD 脚电阻端接有两种：(1)，光模块 4 脚不接上下拉电阻，(2)如果是 OC 门输出则接一个 4.7KΩ~10 KΩ 电阻至 VCCR。

最好在电路设计时做 Thevenin 匹配，这样在告警信号用比较器进行 PECL TO TTL 转换时就不会出现匹配不对的问题；或者在告警为 TTL 电平时，这样做也可以满足驱动能力的要求，电路的兼容性较好。

3.2 关于收发器的电阻匹配

目前大部分百兆收发器厂家所用的协议芯片为 ICPlus 公司的 IP113 系列和 Micrel 公司的 KS8993 系列。其中采用 KS8993 系列芯片的厂家基本上都会采用上述标准的匹配电路，而 ICPlus 公司为 IP113 系列芯片的使用也推荐了一套接口电路，如下图所示：

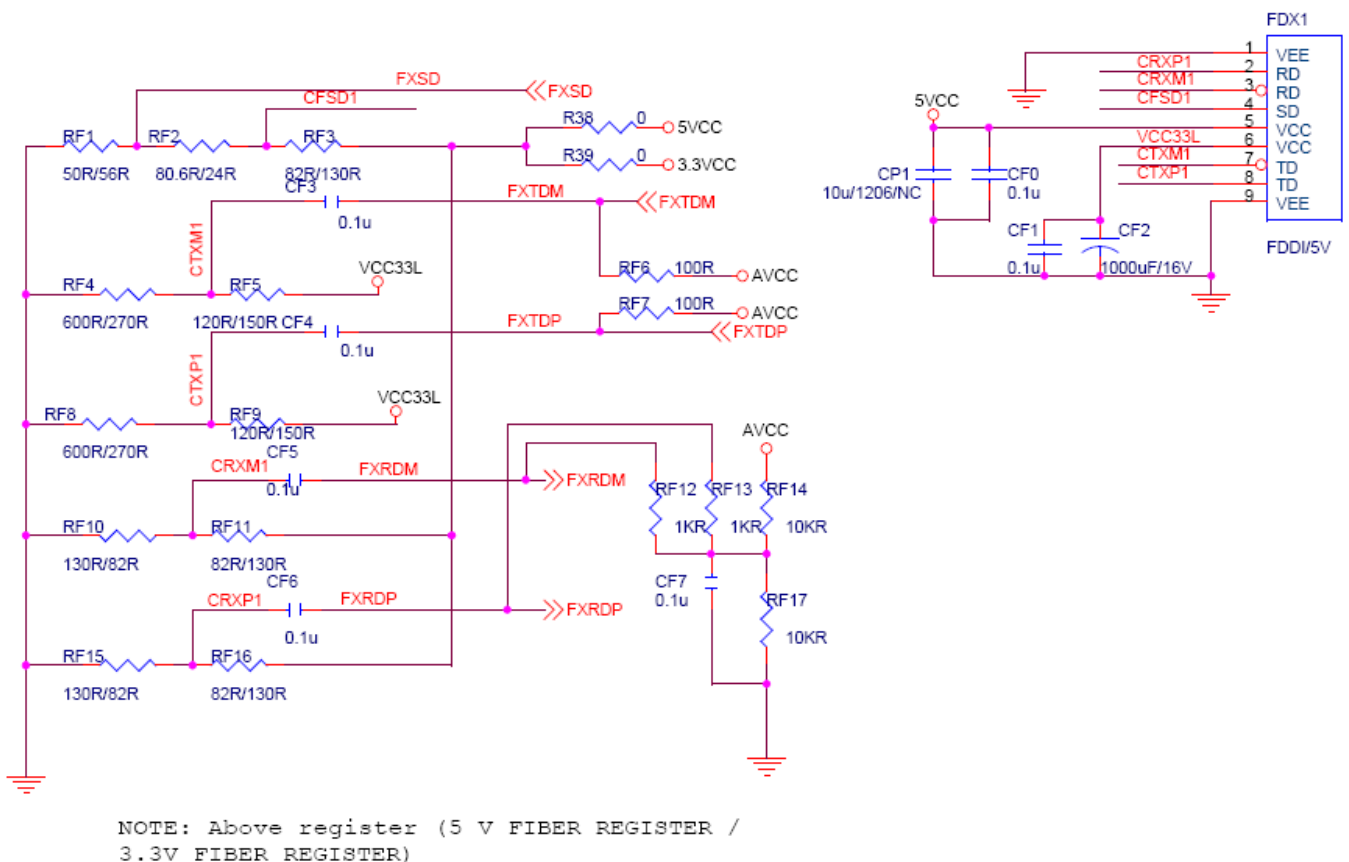


图 21. ICPlus 推荐的光模块与芯片的接口电路

该电路信号传输采用交流耦合方式，耦合电容到芯片之间的匹配方式由芯片决定与光模块无关可参照图

21, 耦合电容与光模块之间的匹配方式应依照光模块的输出电平类型决定, 如果模块输出的是 CML 电平可参照上图, 若输出的是 PECL (或 LVPECL) 电平, 则应参照前面文章所述的方式匹配。

光模块与收发器芯片间告警 (SD) 的连接方式。由于目前大部分百兆收发器厂家所用的光纤收发模块提供的是 SD PECL 告警电平, 见图 22 光模块 4 脚 SD 信号等效 PECL 端接电路。

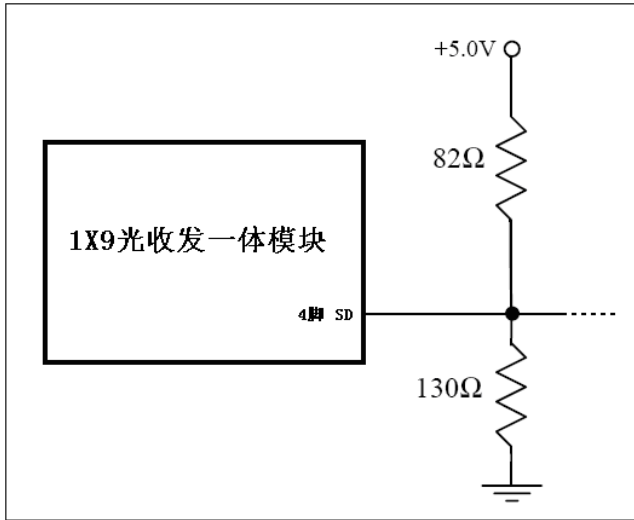


图 22. 光模块 4 脚 SD 等效 PECL 端接电路

该端接电路输出电平符合 PECL 电平规范, +5V 供电时, 高电平为 4V, 低电平为 3.2V。应在收发器中一般采用图 23 和图 24 两种电路

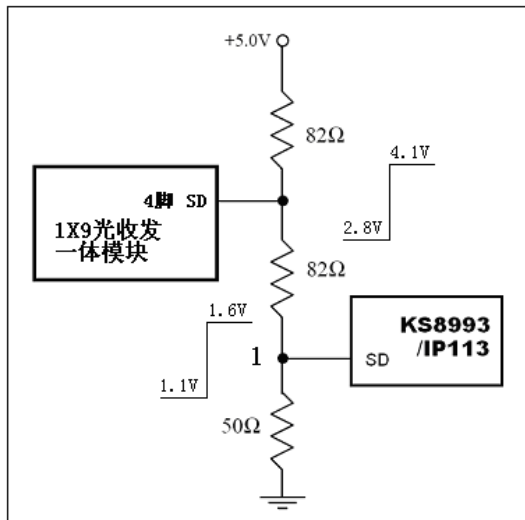


图 23. 与收发器端接的推荐电路

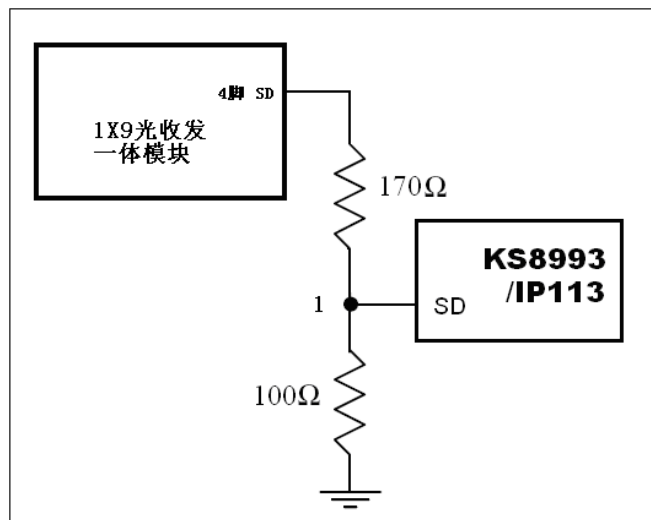


图 24. 与收发器端接的另外一种推荐电路

其中图 23 网络形式由 ICPlus 公司推荐, 也是目前大部分收发器厂家采用的典型电路, 也有部分厂家采用图 24 所示的电路。

如图 23 所示, 光模块 4 脚接 PECL 的标准负载网络 82Ω/130Ω 后, 其高低电平分别为 4.0V/3.2V, 这与标准的 PECL 电平一致。经 82Ω/50Ω 电阻分压后 1 处 SD 的高/低电平分别为 1.6V/1.1V, 满足 KS8993/IP113A 1.35V 判决电平的要求, 但其判决余量较小。1 处的 SD 电平会随着模块供电电压的变化而变化, KS8993/IP113A 1.35V 判决电平的要求可能会落到次范围之外, 造成指示灯工作不正常。解决方法, ①、给模块的供电电压保持比较恒定, 如采用 LDO 稳压给模块供电等; ②、咨询芯片厂家, 通过芯片提供的其它功能来解决。

3.2 电源滤波

在 PCB 设计中, 布线是完成产品设计的重要步骤电源地线的处理, 既使在整个 PCB 板中的布线完成得都

很好但由于电源和地线的考虑不周到而引起的干扰也会使产品的性能下降，有时甚至影响到产品的成功率。所以，对电源和地线的布线要认真对待，把电源和地线所产生的噪音干扰降到最低限度以保证产品的稳定。对每个从事电子产品设计的工程人员来说，都明白地线与电源线之间噪音所产生的原因。现只对降低和抑制噪音作以表述：

1. 众所周知的是在电源和地线之间加上去耦电容，光模块的滤波电路尽可能的靠近光模块的电源脚，选取合适的电容、电感元件参数，去耦电容尽量选择 $\geq 10\mu\text{F}$ 的钽电容
2. 尽量加宽电源和地线的宽度，最好是地线比电源线宽，它们的关系是地线 $>$ 电源线 $>$ 信号线，通常信号线宽为：0.2~0.3mm，最细宽度可达0.05~0.07mm，电源线为1.2~2.5mm，对数字电路的PCB可用宽的地导线组成一个回路，即构成一个地网来使用(模拟电路的地不能这样使用)
3. 用大面积铜层作地线用，在印制板上把没被用上的地方都与地相连接作为地线用或是使用多层板，电源、地线各占用一层

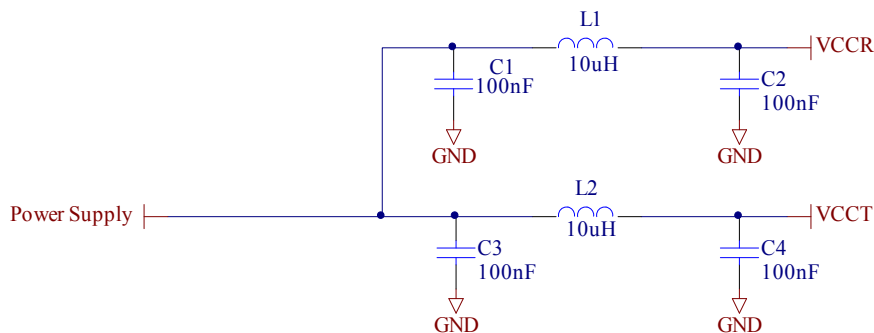


图 25. 常见的错误光模块电源滤波电路

图 25 所示的光模块电源滤波电路是错误的，关键在于没有正确选取滤波电容，由于目前很多光端机都采用开关式稳压电源，其质量参差不齐，有客户反映用直流稳压电源光端机就可以正常工作，而用交流电源（注：开关式稳压电源）就有时通时不通的情况发生，这主要是开关式稳压电源的纹波比较大，这就要求我们要合理的设计好电源滤波电路，不能简单地认为只要接上几个大电容就可以了，更不能只接几个小电容！合理的电容值、合理的位置都是非常重要的！通常在光模块的电源接入端放置一个 $\geq 10\mu\text{F}$ 的电容，滤除低频噪声；在电源与地线之间放置一个0.01~0.1 μF 的电容，滤除高频噪声。如图 25 中 C1 和 C3 换成 10 μF 钽电容，否则有可能出现光模块不能正常工作的情况（取决于电源质量好坏）。（注意：光模块的供电相比别的器件要严格得多，一方面，电源上的杂波将影响激光驱动器的输出波形，导致光眼图变差，甚至不能正常通信；另一方面，接收端是小信号处理电路，很容易受到外界的干扰，洁净的电源可以改善光电探测器、限幅放大器的噪声性能，有助于提高接收灵敏度。）

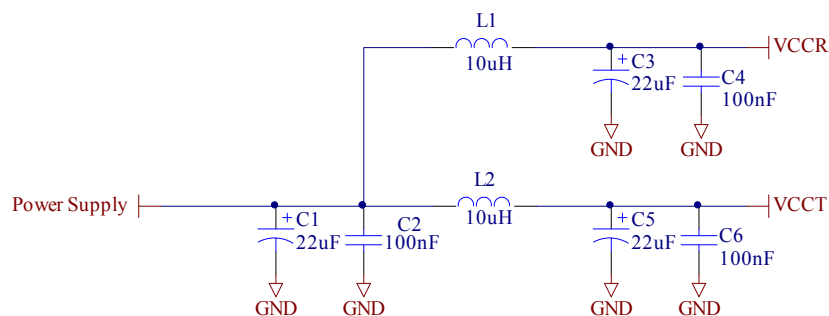


图 26. 光模块推荐电源滤波电路

3.3 系统供电与光模块选择

在视频光端机中，目前采用的 CPLD/FPGA 和串/并转换芯片（如 TI 的 SN65LV1023A/SN65LV1224B）的供电多为+3.3V，如果系统所选择的芯片都能工作在+3.3V，那么最选择+3.3V 供电的光模块。而且可以单独

给光模块做线性稳压（如用 5V TO 3.3V LDO 芯片 AMS1117 或类似芯片），这样可以保证光模块的供电稳定可靠。光模块上板后（整机调试）先量一下 VCCT/VCCR 脚的电压，不能偏离+5V/+3.3V 太多，还要考虑电压的波动，尽量不要使光模块供电电压接近临界点。光模块的匹配方式，最好采用交流耦合方式，采用交流耦合可以减少光模块与其它芯片之间电位上的牵连。而采用交流耦合方式比直流耦合要多出几个阻容元件。CML 电平接口芯片与光模块连接时采用交流耦合，这时的匹配方式与 LVDS 电平和光模块交流耦合连接类似，只需要把 CML 芯片输入/输出接口的偏置电路去掉（内其内部已有偏置）。

3.4 LVDS 差分布线

3.4.1 差分走线规则

1. 使反射尽量最小，并使共模噪声反射尽可能存在；差分走线越近越好；避免差分走线阻抗不均匀（阻抗变化，直角线）；整个走线工程应该保持差分线的宽度保持不变。
2. 为了减少倾斜(skew)，两差分线的长度应该保持一致，否则导致终端相位有差异，降低系统的性能。
3. 尽量减少信号路径中的过孔(Via)的数量和阻抗的不均匀。
4. 任何寄生负载（比如：寄生电容）应该在同一差分对中保持一致。
5. 应用 45°角走线代替 90°脚走线。

3.4.2 阻抗匹配

阻抗不匹配将导致共模噪声的增加并且产生电磁干扰 (EMI)，所以应该选择一匹配电阻和差分线的阻抗相一致。(100Ohm)。

1. 在原理发送端的地方放一匹配电阻 (100Ohm)；
2. 应用 0603 或者 0805 尺寸的贴片电阻；
3. 终端阻抗和终端的距离应小于 7mm，并尽可能的靠近接收端；

3.4.3 差分信号&单端信号的串扰

1. 为了避免单端信号和 LVDS 信号产生串扰，应尽量使二者分层。如果单端信号和差分信号走的太近，将会产生共模噪声，从而造成接收端的假出发，降低信号的质量，减少信号的噪声冗余量。
2. 如果两者在同一层，应使两者至少相距 12mm，VCC 和 GND 也应该分开。

3.4.4 电磁干扰 (EMI)

走线的电磁辐射可以产生横向电磁波，这种波如果没有屏蔽就会导致电磁兼容 (EMC) 的失败。单端传输（比如：CMOS，TTL）所有暴露的线都能产生辐射，横向波伴随在这些走线的周围，一旦联入系统就会产生电磁干扰的问题。

LVDS 走线彼此能相互消弱电磁波，成对出现，只有在边缘区域才能产生逃逸的现象，因此 LVDS 走线作为传输系统对单端传输 (COMS，TTL) 电磁干扰较少。

电磁干扰方面微带线和带状线的优点：

微带线差分对下面的地平面能有效地降低 EMI，带状线上下均是地平面，能获得较好的电磁干扰性能，但是有如下缺点：

1. 较长的传输时间 (1.5 倍于微带线)；
2. 需要较多的过孔；
3. 要求较多的层；
4. 需要精确的 100 欧姆的匹配电阻较难实现。

注：PECL、LVPECL、LVDS、CML 都是差分信号，都要按差分对布线，差分布线详细资料可在网上查找。

3.4.5 阻抗计算

可以用 Polar 公司的 SI8000 来计算差分传输线的阻抗，或者其它的阻抗计算软件。

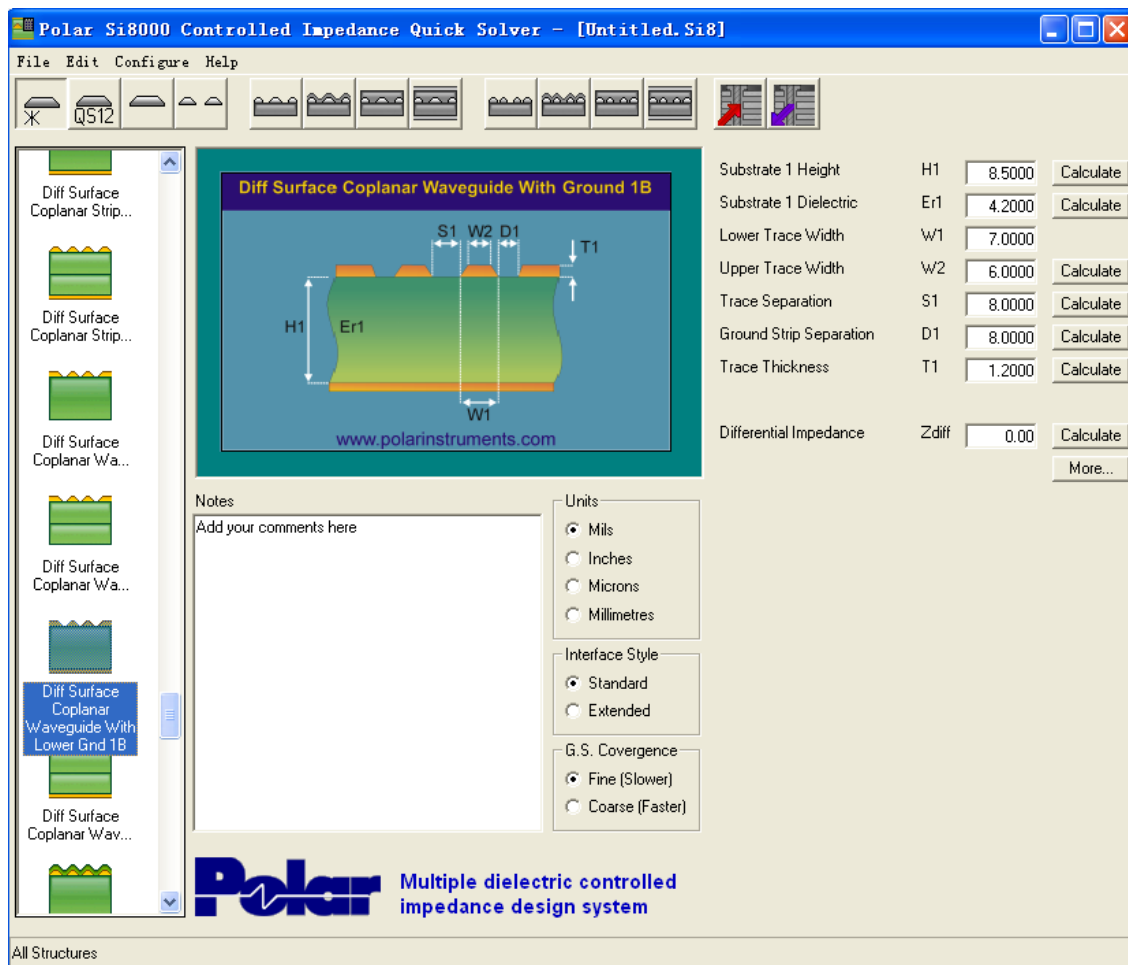


图 27. Polar 差分阻抗计算界面

深圳市兴森快捷电路科技股份有限公司工程师制作的 Word格式阻抗模板 [下载](#)

附: PCB 物料参数

1. 3 种常用半固化片在不同条件下的厚度取值(mil)

copper 代表 TOP 和 BOTTOM 层,gnd 代表电源或地层,signal 代表信号层。

介质厚度	0.5Oz				
	Copper/Gnd	Gnd/Gnd	Copper/Signal	GND/signal	Signal/Signal
1080	2.8	2.6	2.5	2.4	2.2
2116	4.6	4.4	4.2	4.0	3.8
7628	7.3	7.0	6.8	6.7	6.6
介质厚度	1Oz				
	Copper/Gnd		Copper/Gnd		Copper/Gnd
1080	2.8	2.6	2.5	2.4	2.2
2116	4.5	4.3	4.1	3.9	3.7
7628	7.1	6.8	6.6	6.5	6.4

2. 芯板厚度对照表(两位小数的代表介质厚度,一位小数的包括铜箔厚度)

芯板(标称值)	0.13	0.21	0.25	0.36	0.51	0.71	\
英制 (mil)	5	8	10	14	20	28	\
芯板(标称值)	1.0	1.2	1.6	2.0	2.4	2.5	0.8
英制 (mil)	38.98	45.28	61.02	76.77	92.52	96.46	31.5

3. 铜厚参数对照表

标称基铜规格 (um)	18	35	70
内层计算铜厚 (mil)	0.6	1.2	2.6
外层计算铜厚 (mil)	1.9	2.56	3.94

4. 线条梯形截面参数对照表

层别/线宽	基铜厚(um)	上线宽(mil) (W)	下线宽(mil) (W1)
内层	18	W1-0.5	W1
	35	W1-1	W1
外层	18	W1-1	W1
	35	W1-0.8	W1-0.5

(注: W1=客户设计线宽)

5、半固化片组合的介电常数

1080---4.3

2116---4.5

7628---4.7

半固化片组合的介电常数为各半固化片的算术平均值,例如:

$1080+2116---(4.3+4.5)/2$

$7628+2116---(4.5+4.7)/2$

参考资料:

1. HFAN-01.0: LVDS、PECL 和 CML 介绍——MAXIM;
2. Interfacing Between LVPECL, VML, CML, and LVDS Levels——Texas Instruments;
3. UX2105 DATASHEET;
4. IP113A 外部应用典型电路;
5. KS8993 外部应用电路;
6. PCB 物料参数——深圳市兴森快捷电路科技股份有限公司。

编者按: 由于水平有限, 文中难免有疏漏和不妥之处, 恳请读者不吝批评指正。